**Экзаменационные вопросы**

2024-2025 учебный год

1. Архитектура, микроархитектура: отличия, примеры
2. Производительность процессора: понятие “производительность”, способы измерения, единицы измерения
3. Классификация архитектур (CISC, RISC, VLIW, EPIC)
4. Классификация архитектур (x86, x86-64, Power, ARM, IA64, RISC-V, MIPS, Alpha, …)
5. Кодирование инструкций на примере MIPS и х86
6. Типы инструкций. Примеры
7. Арифметические инструкции. Инструкции вещественного сопроцессора
8. Регистровый файл. Разновидности регистрового файла
9. Организация памяти. Устройство управления памятью (MMU)
10. Виртуальная память. TLB
11. Алгоритм выбора строки жертвы, запись данных в кэш, обработка кэш промаха при записи
12. Кэш: классификация. Пространственная и временная локальность
13. Кэш: логическая организация, ассоциативность. Поиск данных в КЭШе
14. Кэш: протоколы когерентности
15. Кэш: способы оптимизации ПО, prefetching
16. Векторные архитектуры. Примеры
17. Векторизация. Векторные инструкции. Развертка циклов
18. SIMD-инструкции. Примеры
19. Конвейер. Характеристики конвейера. Конвейер инструкций
20. Предсказание переходов. Локальный предсказатель
21. Конфликты исполнения инструкций на конвейере. Типы конфликтов
22. Конфликт по управлению, способы устранения, слот ожидания
23. Статическое и динамическое планирование инструкций на примере VLIW архитектуры
24. Механизмы ускорения выборки инструкций (внеочередное исполнение инструкций, переименование регистров, технологии микро- и макро-fusion)
25. Спекуляция. Спекулятивный суперскалярный процессор. Основные этапы исполнения инструкций
26. Алгоритм Томасуло. Планирование инструкций
27. Алгоритм Томасуло. Состав процессора. Этапы исполнения инструкций
28. Спекулятивный суперскалярный процессор
29. EPIC. Механизмы поддержки спекуляции
30. EPIC. Пакет инструкций – способ явного задания параллелизма уровня команд
31. Технология OpenMP
32. Задание ядра, потоки и блоки потоков на примере перемножения двух матриц в CUDA
33. Структура ядра и адресация на примере перемножения двух матриц в CUDA
34. Синхронизация потоков, дивергенция потоков, функции голосования в CUDA. Примеры
35. Архитектура современного GPU
36. Понятие occupancy в CUDA. Пример расчета
37. Типы памяти в CUDA. Примеры создания и организации доступа
38. Механизм транзакций в CUDA. Пример
39. Конфликт по банкам в разделяемой памяти в CUDA. Пример
40. Алгоритм редукции в CUDA. Пример
41. Алгоритм свертки в CUDA. Пример
42. Алгоритм операции инклюзивного scan в CUDA. Пример
43. Алгоритм операции эксклюзивного scan в CUDA. Пример
44. Асинхронное и синхронное копирование в CUDA. Pinned память. Способы выделения
45. CUDA Stream. Создание, инициализация и синхронизация
46. ~~Микроархитектура Intel Knights Landing и ее наследники~~
47. ~~Микроархитектура Intel Knights Mill~~
48. Микроархитектура Intel Sunny Cove
49. ~~Микроархитектура Intel Xe HPC (поколение Alchemist)~~
50. Микроархитектуры Intel Nehalem и Westmere
51. Микроархитектуры Intel Sandy Bridge и Ivy Bridge
52. Микроархитектуры Intel Haswell и Broadwell
53. Микроархитектуры Intel Skylake и его наследники
54. Микроархитектура Intel Alder Lake
55. ~~Микроархитектура AMD Zen~~
56. ~~Микроархитектура AMD Zen 2 и наследников~~
57. Микроархитектура семейства видеокарт AMD Radeon 300
58. Микроархитектура семейства видеокарт AMD Radeon 400
59. Микроархитектура семейства видеокарт AMD Radeon 500
60. Микроархитектура семейства видеокарт AMD Radeon 500
61. Микроархитектура семейства видеокарт AMD Radeon RX Vega
62. Микроархитектура семейства видеокарт AMD Radeon RX 5000
63. Микроархитектура семейства видеокарт AMD Radeon RX 6000
64. Микроархитектура семейства видеокарт AMD Radeon RX 7000
65. Микроархитектура IBM Power8
66. Микроархитектура IBM Power9
67. Микроархитектура IBM Power10
68. Микроархитектура IBM Power11
69. ~~Микроархитектура NVIDIA Maxwell~~
70. ~~Микроархитектура NVIDIA Pascal~~
71. ~~Микроархитектура NVIDIA Turing~~
72. ~~Микроархитектура NVIDIA Ampere~~
73. ~~Микроархитектура NVIDIA Hopper~~
74. Микроархитектура NVIDIA Ada Lovelace
75. ~~Микроархитектура NVIDIA Volta~~

**Пример задач:**

● рассчитать, какая инструкция на каком такте будет выполняться

○ пример выражения: C = 3A - 4B + 5

○ дано для алгоритма Томасуло:

|  |  |  |  |
| --- | --- | --- | --- |
| Доступные инструкции | RS | T | L |
| add/sub | 1 | 1 | 1 |
| mul | 1 | 1 | 1 |
| ld/st | 1 | 1 | 1 |

○ дано для алгоритма спекулятивного суперскалярного процессора

■ информация, аналогичная алгоритму Томасуло

■ дополнительные сведения: ROB = 8, plan = 2, retain = 2